《Verilog数字系统设计》课程教学大纲

执笔人：周晓波 编写日期：2020年11月

**一、课程基本信息**

1．课程编号：M301061B

2．课程平台：专业教育平台

3．课程模块：专业核心必修课程

4．课程性质：必修

5．学时/学分：48/3

6．先修课程：数字电子技术、模拟电子技术

7．适用专业：电子科学与技术

8．教学单位名称：电子信息工程学院

**二、课程目标及学生应达到的能力**

《Verilog数字系统设计》是电子科学与技术专业本科生的专业核心必修课程，着重培养学生对数字系统及电路进行Verilog描述、建模仿真及FPGA设计和实现的能力。

本课程的主要任务是通过课堂教学、专题实验等环节培养学生的创新意识以及数字系统设计的应用能力，使学生理解数字系统设计的基本概念和基本原理，掌握Verilog硬件描述语言的语法，掌握利用Verilog进行数字系统及数字集成电路前端设计的基本方法，掌握计算机EDA工具的使用方法，培养数字系统设计的思维能力，能解决数字系统设计中的逻辑与时序问题，为学习后续课程奠定必要的基础。本课程注重理论与实践相结合，注重以硬件本质思想作为Verilog设计的根本，突出培养学生运用知识分析问题、解决问题的能力和创新精神。

课程目标及能力要求具体如下：

**课程目标1.** 掌握Verilog硬件描述语言的语法，理解数字集成电路前端设计基本设计的基本概念与流程；结合文献研究分析，能利用Verilog硬件描述语言进行数字前端设计的基本建模、验证以及性能分析方法解决复杂工程问题。

**课程目标2.** 通过专题实验环节，训练和掌握基于FPGA等可编程逻辑器件的数字系统设计方案评估、建模思想和优化方法。

**课程目标3.** 能够应用理论知识和计算机EDA工具对实际工程中的数字系统设计问题进行建模、仿真与分析。

**课程目标4.** 能够使用计算机EDA工具进行复杂数字系统的指标预测与优化设计，熟练查阅集成电路手册和有关资料的基本方法；

**三、课程目标和毕业要求的对应关系**

|  |  |  |
| --- | --- | --- |
| **毕业要求** | **毕业要求指标点** | **课程目标对毕业要求的支撑关系** |
| 3. 问题分析 | 3.2 结合文献研究，将工程问题进行有效分解和明确表述。 | 课程目标1 |
| 5. 研究 | 5.2 设计候选方案，考虑技术限制条件，评估方案可行性。 | 课程目标2 |
| 6. 使用现代工具 | 6.1 学会使用现代工程工具和信息技术工具，并能够理解其局限性。 | 课程目标3 |
| 6. 使用现代工具 | 6.2能够开发、选择与使用恰当的技术、资源和现代工具，进行复杂工程问题的预测与模拟。 | 课程目标4 |

**四、课程思政育人目标**

参考《高等学校课程思政建设指导纲要》中相关内容，明确课程思政育人目标。

**五、课程教学内容和要求**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **序号** | **知识单元**  **（章节）** | **知识点** | **教学 要求** | **推荐学时** | **教学**  **方式** | **支撑课程目标** |
| 1 | 基本概念和基本思想 | 数字IC设计发展历史 | 理解 | 4 | 讲授 | 1, 2 |
| EDA发展历史 | 理解 |
| 硬件描述语言Verilog基本概念 | 掌握 |
| 采用Verilog设计复杂数字系统的优点 | 掌握 |
| Verilog设计流程 | 掌握 |
| 自顶向下的设计思想 | 掌握 |
| 2 | Verilog  设计基础 | Verilog模块的基本概念 | 掌握 | 8 | 讲授 | 1, 2 |
| Verilog模块的测试 | 掌握 |
| 基本模块的结构及定义方法 | 掌握 |
| 数据类型 | 掌握 |
| 行为级描述方法及其基本语法 | 掌握 |
| 电路综合基本原理 | 掌握 |
| 模块测试向量的结构与设计方法 | 掌握 |
| 3 | 典型数字系统设计方法 | Verilog模型的抽象级别 | 理解 | 8 | 讲授 | 1, 2 |
| 基本组合电路模型建立与设计方法 | 掌握 |
| 基本时序电路模型建立与设计方法 | 掌握 |
| 同步状态机原理、建模与设计方法 | 掌握 |
| 设计可综合的同步状态机指导原则 | 理解 |
| 阻塞赋值和非阻塞赋值进阶 | 掌握 |
| 4 | 数字前端及FPGA设计概论 | 数字前端设计概论与设计流程 | 熟悉 | 4 | 讲授 | 1, 2 |
| 可编程逻辑器件概念 | 熟悉 |
| FPGA基本结构 | 熟悉 |
| FPGA基本应用 | 熟悉 |
| FPGA设计流程 | 理解 |
| 5 | 数字前端及FPGA设计基本原则 | 可综合设计的基本原则 | 掌握 | 6 | 讲授 | 1, 2 |
| FPGA基本设计原则 | 熟悉 |
| 面积与速度的概念及相互替换原则 | 掌握 |
| 代码编写规范 | 掌握 |
| 6 | 数字前端及FPGA设计基本原则 | FPGA基本资源 | 熟悉 | 6 | 讲授 | 2,3,4 |
| 兵乓操作原理及设计方法 | 掌握 |
| 建立时间与保持时间 | 掌握 |
| 亚稳态处理方法 | 理解 |
| 跨时钟域处理方法 | 掌握 |
| 7 | 专题实验 | Quartus设计流程与仿真 | 掌握 | 12 | 实验 | 1, 2,3,4 |
| 基本组合电路与时序电路设计实验 | 掌握 |
| 流水灯设计实验 | 掌握 |
| 时序分析与优化设计实验 | 掌握 |
| 跨时钟域处理方法实验 | 掌握 |
| 综合实验 | 掌握 |

**六、课程教学方法**

**（一）课堂讲授**

1．在教学方法上，结合多媒体教学与工作实际问题，采用以面向问题的引导式教学为手段，以案例教学为载体，激发学生的学习热情，培养学生发现问题、分析问题和解决问题的能力。

2. 在教学内容上，注重对基本概念和基本方法的讲解，抛弃传统教学中偏重Verilog语法的授课方式，着重让学生从硬件电路的本质出发去理解Verilog的特有语法，比如阻塞和非阻塞赋值方式的区别；使学生能够触类旁通，具备解决设计复杂数字系统的专业基础知识与实践能力，从而进一步挖掘创新能力。

3. 教学过程中，注意引导学生一开始就建立硬件本质思维，摈弃作为一门软件语言的学习思想。

**（二）专题实验环节**

围绕各章教学重点内容，设置专题实验环节，共计12学时。

通过6次专题实验环节的训练，使得学生理解和掌握Verilog的设计方法、EDA工具的使用等；特别是通过FPGA开发板的实验，使学生充分理解和掌握数字前端设计及FPGA设计的流程；综合实验，安排2-3人一组完成，可结合实验报告或答辩的形式。

**（三）课程思政**

将课程思政内容（见下表）有机融入到相关知识点和教学环节中，通过案例讲解、学生讨论、课堂展示等多种方式，在进行知识传授、能力培养的同时“潜移默化”地进行价值塑造。

|  |  |  |  |
| --- | --- | --- | --- |
| 序号 | 章节 | 知识点 | 思政元素 |
| 1 | 1.绪论 | 集成电路的发展现状 | [家国情怀] 例举我国在集成电  路产业中取得的突破与成就，  鼓励学生献身集成电路事业，  打破美国的封锁。 |
| 2 | 5.1 设计原则 | 面积和速度替换原则 | [辩证思维] 面积和速度作为  集成电路的两大指标，是矛盾  对立统一的典型代表，体现唯  物主义的辩证思维。 |
| 3 | 6.1 FPGA设计优化 |  | [工程思维] FPGA优化方法中，深入理解工程近似运算带来的优势。 |

**七、课程考核**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **课程成绩构成及比例** | **考核环节** | | **目标分值** | **考核/评价细则** | **对应的课程目标** |
| 平时成绩100分  占总评成绩的40% | 作业 | | 30 | （1）主要考核学生对每章节知识点的复习、理解和掌握程度；  （2）每次作业按百分制单独评分，取各次成绩的平均值作为此环节的最终成绩。 | 1,3 |
| 专题实验 | | 70 | （1）结合教学进度安排进行电路设计实验，考查学生对相关知识的掌握程度; 主要考查学生对于实验的理解、掌握程度；包括实验流程、  实验问题的解决以及实验的结果分析；  （2）实验按照完成情况进行评分，每次实验报告按百分制单独评分，乘以其在总评成绩中所占的比例计入总评成绩。 | 1,2,3,4 |
| 期末考试100分  占总评成绩的60% | 期末  考试 | 分析部分 | 40 | （1）采用笔试（闭卷）形式，卷面成绩100分，以卷面成绩乘以其在总评成绩中所占的比例计入课程总评成绩。  （2）考核内容需考察综合运用基本概念、基本原理和设计原则进行数字系统设计的能力，内容需覆盖本课程在教学内容和要求中给出的所有理论知识点，并注意考察各知识点和方法的综合交叉运用。 | 1,2 |
| 设计部分 | 60 | 2,4 |

**八、本课程与其它课程的联系与分工**

本课程的先修课程为“数字电子技术”和“模拟电子技术”。将这两门课的电路级设计转换到门级。

本课程的后续课程为“数字集成电路设计”。“数字集成电路”课程将本课程中数字前端设计引申到数字后端设计，从而完成数字集成电路设计的完整教学。

**九、建议教材及教学参考书**

［1］ 夏宇闻等. Verilog数字系统设计. 第4版修订版. 北京. 北京航空航天大学出版社. 2017.

［2］ 王欣 等. Intel FPGA/CPLD设计（基础篇）. 北京. 人民邮电出版社. 2017.

［3］ 王江宏 等. Intel FPGA/CPLD设计（高级篇）. 北京. 人民邮电出版社. 2017.

**十、大纲审核人**

**十一、学院审核程序说明**

由xx系制定，负责本科教学工作的系主任审核，经学院教学指导委员会审核批准。

**十二、学院审定日期**

**附：达成度评价方法：**

课程目标达成度评价包括课程分目标达成度评价和课程总目标达成度评价，具体计算方法如下：





课程目标评价内容及符号意义说明如附表1，字母*A*、*B和C*则分别表示学生作业、专题实验、、期末考试的实际平均得分，其中，*C*= *C*1+*C*2；平时成绩和期末成绩分别占总评成绩的40%和60%。

附表1 课程评价考核基本信息表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **课程目标评价内容** | **作业** | **专题实验** | **期末考试** | | **课程总评成绩** |
| 分析模块 | 设计模块 |
| 目标分值 | 12 | 28 | 40 | 60 | 100 |
| 学生平均得分 | *A* | *B* | *C*1 | *C*2 | *A*+*B* +0.6×*C* |

附表2课程达成度评价计算方法

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **课程目标** | **考核环节** | **目标分值** | **学生平均得分** | **达成度计算示例** |
| 课程目标1 | 作业 | 12 | *A* | 课程目标1达成度= |
| 专题实验 | 28 | *B* |
| 期末考试（分析部分） | 24 | *C*1 |
| 课程目标2 | 专题实验 | 28 | *B* | 课程目标2达成度= |
| 期末考试（分析部分） | 24 | *C*1 |
| 期末考试（设计部分） | 36 | *C*2 |
| 课程目标3 | 作业 | 12 | *A* | 课程目标3达成度= |
| 专题实验 | 28 | *B* |
| 课程目标4 | 专题实验 | 28 | *B* | 课程目标3达成度= |
| 期末考试（设计部分） | 36 | *C*2 |
| 课程总体目标 | 总评成绩 | 100 | *A*+*B*+ 0.6×C | 课程总目标达程度= |