**《FPGA课程设计》课程教学大纲**

执笔人：马庆龙 编写日期：2022年11月

**一、课程基本信息**

1. 课程编号：P401047B
2. 课程平台：创新实践平台
3. 课程模块：综合实践模块
4. 课程性质：选修
5. 学时/学分：32学时/1学分
6. 先修课程：数字电子技术、模拟与数字电子技术实验、单片机原理与应用设计、高级语言程序设计
7. 适用专业：通信工程、自动化、轨道交通信号与控制、信息工程、智能装备与系统
8. 教学单位名称：电子信息工程学院

**二、课程教学目标及学生应达到的能力**

《FPGA课程设计》是面向电子信息类专业本科生开设的实践性课程。通过本课程的学习，使学生了解EDA技术和包括FPGA器件在内的可编程逻辑器件的基本概念，掌握基于FPGA的数字系统设计开发的基本方法和流程，熟悉常用的FPGA开发和仿真测试工具的使用，初步掌握一种硬件描述语言并能够用于设计开发实践，了解使用IP核进行系统设计的基本方法、原理与特点。课程通过理论讲授、案例分析与演示、基于FPGA实验平台的课堂实验和综合设计性实验等环节，使学生获得FPGA的基础知识和使用其进行电子系统设计开发的基本训练。

本课程目标及能力要求具体如下：

课程目标1. 了解电子设计自动化（EDA）技术的基本概念，熟悉现场可编程门阵列（FPGA）的基本原理、特点及应用；

课程目标2. 熟练掌握基于FPGA的数字系统设计开发的基本方法和流程，能够根据设计需求和实际限制条件确定系统设计的性能指标；

课程目标3. 初步掌握一种硬件描述语言并能够用于设计开发实践；

课程目标4. 熟悉常用的FPGA设计和仿真测试工具的使用，能够熟练使用开发工具进行调试，对系统的功能和性能进行测试，根据测试结果做出必要的改进；

课程目标5. 了解IP核与SOPC技术的基本原理、特点及其基本应用方法；

课程目标6（含课程思政育人目标）. 具备通过团队协作方式完成系统设计开发工作的能力；

课程目标7（含课程思政育人目标）. 具备在工程实践中遵守工程职业道德规范的意识和操守。

**三、课程目标和毕业要求的对应关系**

| **毕业要求** | **毕业要求指标点** | **课程目标对毕业要求的支撑关系** |
| --- | --- | --- |
| 3.问题分析：能够应用数学、自然科学和工程科学的基本原理，结合文献研究，对复杂工程问题进行识别、描述及建模分析，形成有效结论。 | 3.1 明确设计需求，确定设计目标、实际限制条件，确定设计性能指标。 | 课程目标2 |
| 4.设计/开发解决方案：能够综合考虑经济、社会、健康、安全、法律、文化及环境因素，针对信息复杂工程问题设计有效的解决方案，按照具体需求实现信息工程系统或模块，在此过程中能够体现创新意识，并对设计方案进行测试与改进。 | 4.3对设计系统进行功能和性能测试，进行必要的方案改进。 | 课程目标4 |
| 10.个人与团队：具有协作精神和团队意识，能够在多学科背景下的团队中担任负责人或普通成员，并对自己在团队中承担的角色担负责任，完成角色的工作任务。 | 10.1 理解团队工作中不同角色的责任，具有协作精神。 | 课程目标6 |

**四、课程思政育人目标**

本课程教学全过程深入开展课程思政育人工作，在对学生进行专业能力培养的同时努力提高其思想政治水平，使其做到：

目标1. 具备勇于探索的创新精神和善于解决问题的实践能力；

目标2. 理解“优化”的含义以及“取”与“舍”的辩证关系；

目标3. 具备锲而不舍、坚韧不拔的精神；

目标4. 具备精益求精、追求卓越的工匠精神；

目标5. 理解团队分工合作的意义以及集体与个人的关系，承担自己在团队中的责任，培养勇于担当的品质；

目标6. 恪守工程师职业道德，遵守安全规范，尊重他人劳动成果与知识产权，坚持诚信为本的为人处世原则。

**五、课程教学内容和要求**

| **序号** | **学习单元** | **知识点** | **教学要求** | **推荐学时** | **授课方式** | **支撑课程目标** |
| --- | --- | --- | --- | --- | --- | --- |
| 1 | EDA技术与可编程逻辑器件概述 | 1.EDA技术的基本概念  2.PLD和FPGA的基本概念、工作原理、分类、特点、应用、主要生产厂商及产品线。 | 了解EDA技术的背景，理解EDA技术、可编程逻辑器件（PLD）和现场可编程门阵列（FPGA）的基本概念和工作原理，熟悉FPGA器件的特点和主要应用，了解FPGA器件的主要生产厂商及产品线。 | 2 | 课堂讲授 | 1 |
| 2 | FPGA设计流程  与  开发工具 | 1.基于FPGA的数字系统的设计开发流程  2.FPGA集成开发环境的使用方法 | 熟悉并掌握基于FPGA的数字系统的设计开发流程，包括建立工程、设计输入、设计综合与布局布线、引脚分配、仿真、时序分析、编程与配置等。了解常用的FPGA设计开发工具，掌握使用Quartus Prime基础开发环境和FPGA实验板（核心板）进行程序设计开发的基本方法。 | 1 | 课堂讲授 | 2、7 |
| 使用统一提供的示例程序代码，在Quartus Prime软件平台和FPGA实验板（核心板）上完成工程建立、工程设置、综合、引脚分配、适配、配置的全过程。通过更改引脚分配等操作体会使用FPGA进行开发的灵活性。 | 1 | 单人实验 |
| 3 | 硬件描述语言基础 | 1.硬件描述语言的基本概念  2.Verilog HDL的数据流描述方式  3.Verilog HDL程序结构、数据类型和运算符 | 理解硬件描述语言的基本概念和“自顶向下”设计的基本方法。掌握Verilog HDL的数据流描述编程方法，熟悉Verilog HDL的程序结构、数据类型和运算符。 | 1 | 课堂讲授 | 2、3、4、7 |
| Verilog HDL程序设计基础实验1  （使用FPGA核心板采用数据流描述方式编写程序实现） | 1 | 单人实验 |
| 1.Verilog HDL的语句  2.Verilog HDL的行为级描述方式  3.Verilog HDL程序设计的技巧 | 熟悉Verilog HDL的常用语句表达方式，掌握Verilog HDL的行为级描述方法，熟悉Verilog HDL程序设计的常用技巧。 | 1 | 课堂讲授 |
| Verilog HDL程序设计基础实验2  （使用FPGA核心板采用行为级描述方式编写程序实现） | 1 | 单人实验 |
| 1.Verilog HDL的结构化模型  2.Verilog HDL程序模块的例化和参数传递 | 理解Verilog HDL的结构化模型的概念和优点，掌握Verilog HDL程序模块的例化和参数传递方法，能够熟练调用已有模块进行程序设计。 | 1 | 课堂讲授 |
| Verilog HDL程序设计基础实验3  （使用FPGA核心板采用结构化模型例化方式编写程序实现） | 1 | 单人实验 |
| 4 | IP核与SOPC  技术初步 | 1.IP核的基本概念及使用方法  2.SOPC技术的基本概念和使用SOPC技术进行电子系统设计开发的基本流程 | 理解知识产权（IP）核和SOPC技术的基本概念，掌握使用IP核开发FPGA程序的方法。 | 0.5 | 课堂讲授 | 2、3、4、5、7 |
| 了解基于FPGA软核处理器的电子系统设计的基本方法和流程。 | 0.5 | 演示实验 |
| 基于IP核的FPGA程序设计实验  （使用FPGA实验板调用IP核编写程序实现） | 1 | 单人实验 |
| 5 | 基于FPGA的  数字系统设计实例 | 1.基于状态机的Verilog HDL程序设计方法  2.基于ModelSim软件的FPGA程序仿真方法  3.基于Signal Tap II软件逻辑分析仪的FPGA程序测试方法  4.多人协作FPGA程序设计方法 | 掌握基于状态机的Verilog HDL程序设计方法，熟悉FPGA实验板（扩展底板）的工作原理和使用方法。 | 1 | 课堂讲授 | 2、3、4、6、7 |
| 采用状态机设计方法，利用课堂及课后时间在FPGA实验板（含核心板和扩展板）上分组完成一个相对简单的综合性实验。要求学生通过本实验熟悉FPGA实验板（扩展底板）的外设资源和使用方法，并在实验过程中使用ModelSim软件对所编写的全部或部分FPGA程序进行仿真验证，使用Signal Tap II软件逻辑分析仪对所编写的FPGA程序进行测试验证。 | 3 | 分组实验 |
| 6 | FPGA应用系统设计 | FPGA程序设计开发方法 | 要求学生使用FPGA实验板（含核心板、扩展底板、扩展模块）分组完成一个实际应用系统的设计开发，并撰写设计报告，小组成员应有明确的相对均衡的分工。验收时学生对照设计任务要求现场展示本小组的设计作品，现场教师和学生根据设计任务完成的数量和质量进行打分。 | 15 | 分组实验 | 2、3、4、5、6、7 |
| 7 | 面试答辩 |  | 针对小组成员工作分工与协作情况，以及设计方案中涉及到的知识点、技术原理、设计方法、实际工作量和原创性等方面向每个学生提出问题，并要求学生对设计作品程序进行现场修改，以考核学生对相关知识点的掌握情况以及设计工作的原创性和真实性。 | 1 | 单人答辩 | 1、2、3、4、5、6、7 |

**六、课程教学方法**

**（一）课堂讲授**

教师在课上对相关概念、原理和方法进行讲解，为学生奠定实践的理论基础。

**（二）演示实验**

教师通过现场或视频录像方式对实验过程进行演示，帮助学生学习相关的原理和方法。

**（三）单人实验**

每名学生独立完成该实验项目的全部内容，要求学生完全达到该实验所支撑的全部目标要求。

**（四）分组实验**

要求学生两人一组，分工协作，共同完成一个相对更为复杂的实验内容，在实验过程中同时培养学生通过团队协作方式完成系统设计开发工作的能力。

**（五）课程思政**

课程教学坚持引导正确的政治方向，紧紧围绕立德树人的根本任务，注重学思结合、知行统一，针对本课程以团队项目为核心，以设计任务载体，以学生动手实践为主的特点，将课程思政教育完全融于整个学习过程之中，做到“润物无声”。在课程学习过程中，使学生在作品设计开发中感受到电子技术日新月异的发展；通过设计不同的技术方案培养勇于探索的创新精神和善于解决问题的实践能力；在多种设计方案的比较中理解系统性能与成本、复杂度与可靠性之间的辩证关系，体会工程项目中“优化”与“取舍”的含义以及“取”与“舍”的辩证关系；面对作品设计制作过程中不断出现的困难与挑战，深入探索，磨练意志，培养锲而不舍、坚韧不拔的精神；对于设计出的作品不断改进与优化，培养精益求精、追求卓越的工匠精神；在与小组其他同学共同工作的过程中理解团队分工合作的意义和集体与个人的关系，承担自己在团队中的责任，体会沟通与协作的重要性，培养勇于担当的品质；在设计中恪守工程师职业道德，遵守实验室安全与操作规范，尊重他人劳动成果与知识产权，独立完成设计任务，坚持诚信为本的为人处世原则。

**七、课程考核**

本课程采用考查方式进行考核，考核成绩根据课堂基础实验、综合实验、设计项目、面试答辩以及规范使用实验室五个方面的情况综合评定。

| **课程成绩**  **构成及比例** | **考核环节** | **目标分值** | **考核/评价细则** | | **对应的**  **课程目标** |
| --- | --- | --- | --- | --- | --- |
| 课堂  基础实验  （15%） | Verilog HDL  程序设计  基础实验1 | 5 | 检查实验作品实现的功能，对照相应实验任务要求评定每次实验的成绩。 | | 2、3、4 |
| Verilog HDL  程序设计  基础实验2 | 5 |
| Verilog HDL程序设计  基础实验3 | 5 |
| 综合实验  （10%） | 设计作品 | 10 | 检查实验作品实现的功能，对照相应实验任务要求评定实验成绩。 | | 2、3、4、6 |
| 设计项目  （50%） | 作品展示 | 40 | 针对设计任务中要求的功能和性能指标对实物作品进行测试并给予评价。题目中也可设置其他加分项，学生如在达到题目要求的基础上，在技术创新、功能扩展、技术指标提高等方面做出了非常有意义的工作并取得了明显效果，可适当额外加分。本项具体评价标准由具体题目的《评分表》给出。 | | 2、3、4、5、6 |
| 设计报告 | 10 | 根据《设计报告》内容的完整性、设计方案的合理性、仿真与测试过程的严密性，以及文字表达的调理性和准确性等方面的因素，给予评价。 | |
| 面试答辩  （25%） | 独立完成 | 一票否决 | 考查设计作品中学生本人承担的工作是否为独立完成，是否存在违规抄袭或他人代做等情况，如有则本课程成绩一票否决，记为不及格（F）。 | 采用“一对一”谈话、提问、现场对设计方案和设计文件进行修改等方式对学生进行考查。  本项目为单人考核。 | 1、2、3、4、5 |
| 小组贡献 | 10 | 考查学生在本次设计工作中实际承担的工作量以及对小组完成本次设计任务所做贡献的比重。小组中每位成员所承担的工作量应大致相当，如果实际完成工作量严重偏低，则本课程成绩一票否决，记为不及格（F）。 |
| 工作质量 | 10 | 考查学生本人所承担的设计任务完成的质量。 |
| 原理理解 | 5 | 考查学生本人对作品设计方案和工作原理的理解情况。 |
| 规范实验  （附加） | 规范开展实验活动 | 累计 | 对照实验室各项管理制度，对课程中学生出现的不规范实验行为进行评价，对不遵守实验室规章制度的行为进行处罚，采取扣分制计分。多次违规处罚的分数将被累计。 | | 7 |

对以上各项成绩求和计算出每名学生的综合成绩，最终成绩按五级制（A、A-、B+、B、B-、C+、C、C-、D+、D、F）给出。综合成绩低于60分判定为不及格（F）；对综合成绩大于等于60分的使用同一设计题目的全体学生的综合成绩进行排序，综合考虑题目难度等因素，依次适当划定等级分数区间，或对综合成绩分值按满分100分进行归一化处理后在{A、A-、B+、B、B-、C+、C、C-、D+、D}中评定课程最终成绩。

对于由学校本科生院或学院组织及认定支持的电子信息类专业学科竞赛，由课程组对竞赛内容进行审核，如竞赛内容能够完全涵盖本课程的教学目标，经对参赛学生的获奖证明进行审核，课程组可决定对在该竞赛中获得一定等级以上奖项的学生授予本课程实物作品制作免修资格，课程成绩可根据竞赛获奖等级酌情予以认定。

**七、本课程与其它课程的联系与分工**

本课程是数字电子技术课程的延伸，为学生使用以FPGA为代表的可编程逻辑器件进行复杂的数字逻辑系统的设计奠定基础。

先修课程：数字电子技术、模拟与数字电子技术实验、计算机原理与接口技术、单片机原理与应用设计、高级语言程序设计

后续课程：毕业设计等

**八、建议教材及教学参考书**

1. 王金明，周顺. EDA技术与Verilog设计（第2版）. 北京：电子工业出版社，2019.
2. STEP-MAX10 基础实验教程. 内部讲义，2019.
3. 夏宇闻，韩彬．Verilog数字系统设计教程（第4版）．北京：北京航空航天大学出版社，2017.
4. 任爱锋，张志刚. FPGA与SOPC设计教程——DE2-115实践（第二版）. 西安：西安电子科技大学出版社，2018.

**九、大纲审核人**

马庆龙

**十、学院审核程序说明**

由国家电工电子教学基地制定，负责本科教学工作的副主任审核，经学院教学指导委员会审核批准。

**十一、学院审定日期**

2022年11月X日。

**附：达成度评价方法**

课程目标达成度评价包括课程分目标达成度评价和课程总目标达成度评价，具体计算方法如下：





课程目标评价内容及符号意义说明如附表1，字母*A*、*B*、*C*、*D*和*E*则分别表示课堂基础实验、综合实验、设计项目、面试答辩和规范实验考核的实际平均得分。

附表1 课程评价考核基本信息表

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **课程目标**  **评价内容** | **课堂**  **基础实验** | **综合实验** | **设计项目** | **面试答辩** | **规范实验考核** | **课程总评成绩** |
| 目标分值 | 15 | 10 | 50 | 25 | 0 | 100 |
| 学生平均得分 | *A* | *B* | *C* | *D* | *E* | *A*+*B*+*C+D-E* |

课程目标达成度评价值计算具体说明如附表2。

附表2课程达成度评价计算方法

| **课程目标** | **考核环节** | **目标分值** | **学生平均得分** | **达成度计算示例** |
| --- | --- | --- | --- | --- |
| 课程目标1 | 面试答辩 | 25 | *D* |  |
| 课程目标2  -  毕业要求  3.1 | 课堂基础实验 | 15 | *A* |  |
| 综合实验 | 10 | *B* |
| 设计项目 | 50 | *C* |
| 面试答辩 | 25 | *D* |
| 课程目标3 | 课堂基础实验 | 15 | *A* |  |
| 综合实验 | 10 | *B* |
| 设计项目 | 50 | *C* |
| 面试答辩 | 25 | *D* |
| 课程目标4  -  毕业要求  4.3 | 课堂基础实验 | 15 | *A* |  |
| 综合实验 | 10 | *B* |
| 设计项目 | 50 | *C* |
| 面试答辩 | 25 | *D* |
| 课程目标5 | 设计项目 | 50 | *C* |  |
| 面试答辩 | 25 | *D* |
| 课程目标6  -  毕业要求10.1 | 综合实验 | 10 | *B* |  |
| 设计项目 | 50 | *C* |
| 面试答辩 | 25 | *D* |
| 课程目标7 | 规范实验考核 | 0 | *E* |  |
| 课程总体  目标 | 总评成绩 | 100 | *A*+*B*+*C+D*-*E* |  |